

Implementasi *Convolutional Code* dan *Viterbi Decode* pada DSK TMS320C6416T

Erika Kusumasari Rosita, Suwadi, Achmad Ansori

Jurusan Teknik Elektro, Fakultas Teknologi Industri, Institut Teknologi Sepuluh Nopember (ITS)

Jl. Arief Rahman Hakim, Surabaya 60111

E-mail: suwadi110@ee.its.ac.id, ansori@ee.its.ac.id

Abstrak—Dalam sistem komunikasi digital modern, dimana data ditransmisikan dalam bentuk bit-bit biner, dibutuhkan sistem yang tahan terhadap noise yang terdapat pada kanal transmisi, hal ini dibutuhkan agar data yang ditransmisikan tersebut dapat diterima dengan benar. Kesalahan dalam pengiriman atau penerimaan data merupakan permasalahan yang mendasar yang memberikan dampak yang sangat signifikan pada sistem komunikasi. Untuk mengatasinya, maka diperlukan suatu metode pengkodean kanal yang mampu mendeteksi kesalahan dan mengoreksi kesalahan.

Pada tugas akhir ini konvolusi code diimplementasikan pada sebuah DSP card seri TMS320C6416T untuk mengatasi masalah sistem komunikasi tersebut. Kode konvolusi merupakan teknik Error Control Coding untuk mendeteksi dan mengoreksi error pada informasi akibat pengaruh noise.

Analisis meliputi nilai BER yang diperoleh dengan mengubah parameter Eb/No pada blok AWGN, dan uji coba rangkaian menggunakan DSK TMS320C6416T. Hasil penelitian menunjukkan sistem yang menggunakan *konvolusi code* dan *viterbi decode* dapat menurunkan probabilitas error dibandingkan dengan sistem model yang tidak menggunakan *konvolusi code* dan *viterbi decode*.

Kata Kunci—Kode konvolusi, Viterbi decode, BER, DSK TMS320C6416.

I. PENDAHULUAN

Dalam sistem komunikasi digital modern, dimana data ditransmisikan dalam bentuk bit-bit biner, dibutuhkan sistem yang tahan terhadap noise yang terdapat di kanal transmisi sehingga data yang ditransmisikan tersebut dapat diterima dengan benar. Kesalahan dalam pengiriman atau penerimaan data merupakan permasalahan yang mendasar yang memberikan dampak yang sangat signifikan pada sistem komunikasi. Untuk mengatasinya, maka diperlukan suatu metode pengkodean kanal yang mampu mendeteksi kesalahan dan mengoreksi kesalahan. Pada penelitian ini kode konvolusi diimplementasikan pada sebuah DSP card seri TMS320C6416T.

Alasan pemilihan perangkat ini ialah karena kecepatan pemrosesan data yang dapat dilakukan oleh perangkat ini. Adapun kecepatan pemrosesan data pada TMS320C6416T diukur berdasarkan waktu siklus setiap instruksinya. Sebuah algoritma encoder kode konvolusi ditanamkan pada suatu DSP card. Untuk memeriksa kebenaran dari keluaran encoder

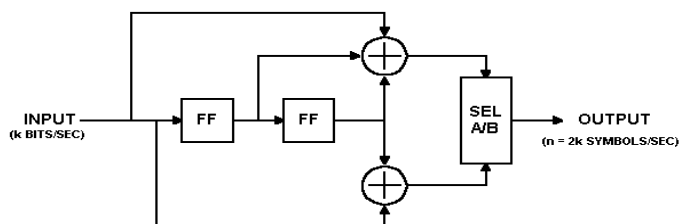
tersebut, maka keluaran tadi dimasukkan ke dalam program decoder yang juga ditanamkan pada DSP card yang sama. Algoritma yang digunakan pada decoder menggunakan algoritma Viterbi.

II. TEORI PENUNJANG

A. Kode Konvolusi

Pengkodean data dengan cara Konvolusi dapat dilakukan dengan menggunakan sebuah register geser dan logika kombinatorial terkait [1], yang menampilkan penjumlahan mod-2. (Sebuah register geser hanyalah rantai dari flip flop dimana output dari n flip-flop terkait dengan masukan dari flip flop (n + 1). Saat aktif clock terjadi, masukan flip-flop dimasukkan melewati keluaran, dan data digeser ke stage lain). Logika kombinatorial sering dalam bentuk gerbang XOR.

Dua komponen dasar dari kode konvolusi (register geser berisi flip flop dan gerbang eksklusif-or diasosiasikan mod-2 adder). Didefinisikan bahwa sebuah kode konvolusi untuk code rate $1/2$, $K = 3$, $m = 2$:



Gambar 1 Struktur kode konvolusi rate $1/2$ dengan $m=2$

Gambar 1 memperlihatkan sebuah encoder Konvolusi (2, 1, 3) atau sama halnya dengan $n = 2$, $k = 1$, dan $m = 3$. Setiap kali sebuah bit data dimasukkan ke register pertama pada encoder, dua bit kode akan dihasilkan sebagai output secara berurutan.

Encoder ditunjukkan di atas mengkodekan $K = 3$, (7, 5) kode Konvolusi. Angka-angka oktal 7 dan 5 mewakili polinomial generator kode, yang jika dibaca dalam biner (111 dan 101) sesuai dengan gerbang XOR, penambah atas dan bawah. Kode ini telah menjadi kode "terbaik" untuk tingkat $1/2$, $K = 3$.

Berdasarkan pendefinisian bahwa kode Konvolusi adalah kode (n, k, m), dapat diketahui parameter-parameter utama yang menjadi pilar utama dalam membangun kode Konvolusi diantaranya :

1. Laju kode Konvolusi (R)

Laju kode Konvolusi (R) merupakan rasio antara masukan informasi bit dengan keluaran bit terkodekan dan mempunyai persamaan (2.1) sebagai berikut :

$$R = \frac{k}{n} \quad (2.1)$$

dengan, R = Laju kode Konvolusi,
 k = Jumlah bit input kode Konvolusi,
 n = Jumlah bit output kode Konvolusi.

2. Panjang Memori (K)

Panjang memori adalah jumlah elemen tundaan dalam kode Konvolusi yaitu memori dengan masukan bit sekarang pada kode Konvolusi atau dapat disebut juga panjang kode dari kode Konvolusi.

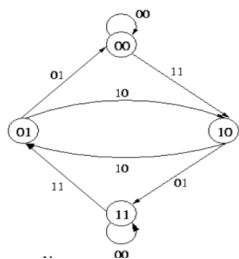
Panjang memori dapat didefinisikan sebagai berikut $K = M + 1$ (2.2)

dengan, K = Panjang memori,
 m = Memori

Beberapa metode yang berbeda bahkan dapat digunakan untuk menjabarkan diagram pohon (tree diagram), diagram trellis (trellis diagram), diagram koneksi, Diagram keadaan (state diagram), generator polinom,penjelasannya adalah :

• Diagram State

State (keadaan atau status) dari sebuah kode Konvolusi (n, 1, m) didefinisikan sebagai isi dari m – 1 register pertamanya. Sehingga, sebuah encoder Konvolusi dapat direpresentasikan oleh sebuah mesin keadaan (m-1). Dengan mengetahui state encoder di titik waktu berikutnya tersebut, beserta output yang akan dihasilkan. State nol adalah keadaan dimana seluruh (m-1) register pertama encoder berisi nilai 0. Transisi dari satu state ke state berikutnya ditentukan oleh bit apa (0 atau 1) yang akan menjadi input di waktu berikutnya terseut. Kode Konvolusi biner memiliki 2M-1 kemungkinan keadaan (state). Representasi diagram keadaan untuk kode Konvolusi dapat dilihat pada gambar 2.4. Krena untuk encoder ini m=3 maka terdapat 4 state yang mungkin baginya, yang masing-masing adalah a = 0 0, b = 1 0, c = 0 1, d = 1 1.



Gambar 2 Diagram State

• Generator Polinomial (gn)

Generator polinomial sangat dibutuhkan untuk merangkai suatu kode Konvolusi berdasarkan jumlah memori yang digunakan dalam suatu kode Konvolusi selain itu setiap elemen pada generator polinomial serta jumlah dari fungsi generator polinomial mempengaruhi :

1. Jumlah keluaran (penjumlahan modulo dua)

2. Panjang memori kode Konvolusi (jumlah register geser + masukan)
3. Hubungan koneksi antara register geser dan penjumlahan modulo dua.

Dengan memperhatikan gambar 2.3 dapat dituliskan generator polinomial $g1(x)$ untuk koneksi output bagian atas dan $g2(x)$ untuk koneksi bagian bawah, sebagaimana berikut :

$$g1(x) = 1 + x + x^2 \quad (2.3)$$

$$g2(x) = 1 + x^2 \quad (2.4)$$

polinom output yang dihasilkan karenanya adalah :

$$c(x) = d(x) \cdot g1(x) \quad (2.5)$$

yang muncul berselang seling dengan $d(x) \cdot g2(x)$, untuk $d = (1 0 1)$, maka $d(x) = 1 + x^2$, sehingga,

$$d(x) \cdot g1(x) = (1 + x^2)(1 + x + x^2) = 1 + x^2 + x^3 + x^4 = 1 + 1x + 0x^2 + 1x^3 + 1x^4$$

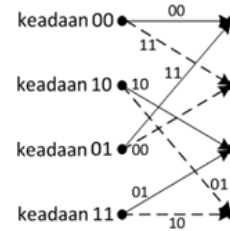
$$d(x) \cdot g2(x) = (1 + x^2)(1 + x^2) = 1 + x^4 = 1 + 0x + 0x^2 + 0x^3 + 1x^4$$

$$\text{dan } c(x) = (1,1) + (0,1)x + (0,0)x^2 + (0,1)x^3 + (1,1)x^4$$

$$\text{maka } c = (1 1 0 1 0 0 1 1 1)$$

• Diagram Trellis

Proses pengkodean dengan kode Konvolusi dapat digambarkan dengan diagram trellis. Kode Konvolusi tersebut mempunyai empat keadaan, yang diletakkan sepanjang sumbu vertical, sedangkan transisi diantara state-state ini direpresentasikan dengan garis-garis vertikal dan diagonal yang malang-melintang (menyerupai kisi-kisi atau teralis) yang bergerak ke arah kanan seiring dengan pertambahan waktu [2].



Gambar 3 Diagram Trellis

Diagram trellis di atas menjadi dasar dalam menentukan perubahan keadaan dan keluaran. Apabila diagram trellis tersebut direpresentasikan ke dalam tabel keadaan dan tabel keluaran, maka akan dihasilkan tabel 2 dan tabel seperti berikut ini :

Tabel 2. Tabel Keadaan

Keadaan saat ini	Keadaan selanjutnya, jika	
	input = 0	input 1
00	00	10
01	00	10
10	01	11
11	01	11

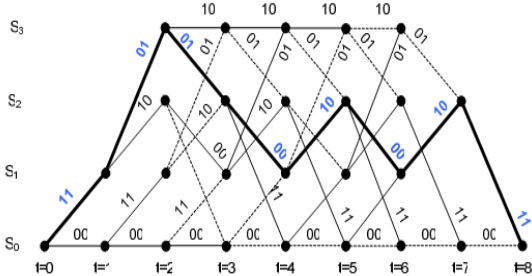
Tabel 3 Tabel Keluaran

Keadaan saat	Keluaran, jika
--------------	----------------

ini	input = 0	input 1
00	00	00
01	11	01
10	10	10
11	01	10

B. Algoritma Viterbi

Algoritma viterbi yang diimplementasikan dengan persyaratan algoritma ML (Maximum Likelihood) dan secara hard decision ditunjukkan pada gambar 6. Pengkode konvolusi akan mengkodekan [3] informasi asli, contoh dengan urutan (11010100) dan menghasilkan keluaran pengkode dengan code rate 1/2 dengan urutan (11,01,01,00,10,00,10,11). Hasil pengkode ini selanjutnya dikirimkan pada kanal transmisi yang tercampur derau. Dan pada bagian penerima dimisalkan diperoleh urutan kode (10,01,01,01,10,00,10,11). Dari perbandingan kode keluaran pengkode (encoder) konvolusi dan kode terima pada pendekode (decoder) viterbi, terlihat adanya perbedaan yang ditimbulkan oleh derau pada kanal.



Gambar 4 Diagram trellis pada Hard Decision Decoding

Prosedur traceback pada pendekode (decoder) terlihat pada diagram trellis pada gambar 6. Proses traceback ini berawal dari konsep bahwa setiap percabangan (branch) terkait dengan bit masukan tertentu pada pengkode. Sebagai contoh, percabangan dari state S2 pada t = 7 menuju state S0 pada t = 8 berhubungan dengan masukan bit '0' pada pengkode.

C. AWGN (Additive White Gaussian Noise)

AWGN (Additive White Gaussian Noise) merupakan suatu proses stokastik yang terjadi pada kanal dengan karakteristik memiliki rapat daya spectral noise merata di sepanjang range frekuensi. AWGN mempunyai karakteristik respon frekuensi yang sama disepanjang frekuensi dan variannya sama dengan satu.

Pada kanal transmisi selalu terdapat penambahan derau yang timbul karena akumulasi derau termal dari perangkat pemancar, kanal transmisi, dan perangkat penerima. Derau yang menyertai sinyal pada sisi penerima dapat didekati dengan model matematis statistik AWGN. Derau AWGN merupakan gangguan yang bersifat Additive atau ditambahkan terhadap sinyal transmisi, dimodelkan dalam pola distribusi acak Gaussian dengan mean (m) = 0, standar deviasi (σ) = 1, power spectral density (pdf) = $N_0/2$ (W/Hz), dan mempunyai rapat spektral daya yang tersebar merata pada lebar pita frekuensi tak berhingga.

D. Modulasi QPSK (Quadrature Phase Shift Keying)

Modulasi QPSK merupakan modulasi yang sama dengan BPSK, tetapi pada QPSK terdapat empat buah level sinyal, yang merepresentasikan empat kode binary, yaitu '00', '01', '11', '10'. Masing-masing level sinyal disimbolkan dengan perbedaan fasa 90° . Modulasi QPSK memiliki efisiensi bandwidth dua kali lebih besar dibandingkan dengan BPSK, karena dua bit dikirimkan pada satu simbol sinyal termodulasi. Modulasi QPSK [4] terdiri dari dua modulasi BPSK pada fase dan quadrature komponen sinyal. BER dari masing-masing cabang adalah sama dengan BPSK, yaitu :

$$P_b \approx Q(\sqrt{2\gamma_b}) \quad \dots(1)$$

Dengan :

$$\gamma_b = \frac{E_b}{N_0} = \frac{d^2 \min}{4N_0} \quad \dots(2)$$

Dimana : γ_b = perbandingan energy bit dengan noise
 E_b = energy bit
 N_0 = kerapatan noise
 d_{min} = jarak antar simbol

Untuk probabilitas dari SER (Symbol Error Rate) adalah probabilitas yang lain dari bit error yang dituliskan dengan rumus:

$$P_s = 1 - [1 - Q(\sqrt{2\gamma_b})]^2 \quad (3)$$

Dimana :

$$Q(x) = \frac{1}{\sqrt{2\pi}} \int_x^\infty e^{-\frac{x^2}{2}} \quad (4)$$

Sedangkan pada kondisi energi symbol terbagian antara dua in-phase dan quadrature dimana $\gamma_s = 2\gamma_b$, maka persamaan menjadi :

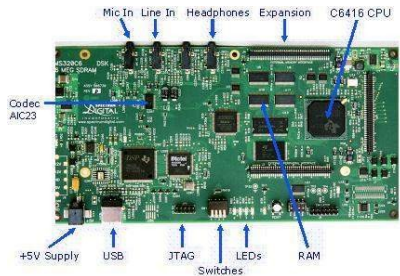
$$P_s = 1 - [1 - Q(\sqrt{\gamma_s})]^2 \quad (5)$$

E. DSK TMS320C6416T (DSP Starter Kit)

DSK TMS320C6416T [5] merupakan multi-layer board berukuran 8.75 x 4.5 inch (210 x 115 mm) yang disuplai daya eksternal +5 volt. [6] DSK ini terdiri dari sebuah 1 GHz DSK TMS320C6416T fixedpoint digital signal processor dan 16 bit stereo codec TLV 320AIC23 untuk input dan output. Codec AIC23 menyediakan ADC dan DAC dengan clock 12 MHz dan sampling rate 8 – 96 kHz. DSK meliputi 16 MB pada Synchronous Dynamic Random (SDRAM) dan 256 kB pada flash memory. Terdapat empat konektor pada DSK untuk input dan output :

- MIC IN untuk input dari microphone.
- LINE IN untuk input dari function generator,
- LINE OUT untuk output , dan
- HEADPHONE untuk output pada headphone.

Dip switch dalam DSK dapat difungsikan sesuai program dan menyediakan fungsi kontrol. Terdapat pengatur tegangan yang menyediakan 1,26 V untuk processor dan 3,3 V untuk sistem memori dan kelengkapan lain.

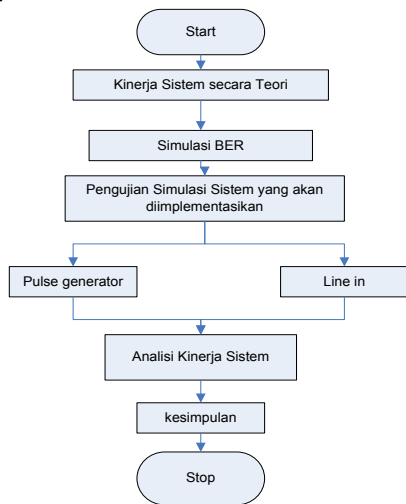


Gambar 8. DSK TMS320C6416T

TMS320C6416 pada DSK adalah floating point processor yang didasari pada arsitektur VLIW (Very-Long-Instruction-Word). Memori internal meliputi 2 level penyimpanan daya, yang terdiri dari 32 KB pada level penyimpanan program (L1P) dan level 1 penyimpanan data (L1D), dan 1024 kB pada level 2 pembagian memori antara program dan data. Selain itu, juga mempunyai sebuah interface untuk memerintah synchronous dan memori (SDRAM dan SBRAM) dan asynchronous memori (SPRAM dan EPROM). Memiliki 8 fungsi atau execution units dalam 6 ALU dan 2 multiplier units, 32-bit address bus ke 4 GB (gigabytes) address, dan 2 set 32-bit general-purpose registers. [4]

III PERANCANGAN DAN IMPLEMENTASI SISTEM

Perencanaan sistem yang akan diimplementasikan dibuat suatu diagram alur. Tujuannya adalah agar proses penelitian lebih terstruktur yang mengacu pada tujuan penelitian yang ingin dicapai.



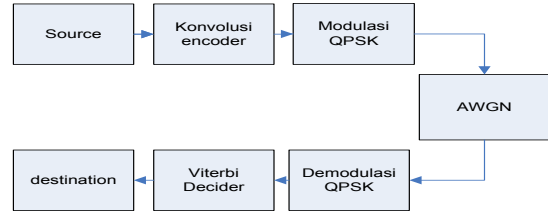
Gambar 9. Flow chart pengujian dan analisis sistem

A Pemodelan Sistem

Sebelum melakukan implementasi sistem ke DSK TMS, terlebih dahulu dimodelkan pada simulink matlab. Tujuan dilakukan pemodelan ini adalah agar diperoleh gambaran yang tepat atas sistem yang diinginkan sebelum benar-benar mengimplementasikan system tersebut. Kode konvolusi dan viterbi decode yang dimodelkan pada simulink dibagi menjadi beberapa bagian diantaranya adalah

1. Bagian blok sumber input,
2. Bagian blok pendekode dan pendekode berupa konvolusi kode dan viterbi decode.

3. Bagian modulasi dan demodulasi, untuk tugas akhir ini digunakan blok QPSK
 4. Blok AWGN (Addictive White Gaussian Noise)
- Sistem yang akan digunakan terlihat pada gambar 10 berupa rangkaian yang digunakan untuk pengujian. Pemodelan sistem ini bertujuan untuk memperoleh gambaran sistem yang akan disimulasikan dan juga diimplementasikan.



Gambar 10 Skema sistem secara umum

B. Simulasi secara teori dan simulink matlab

Simulasi Sistem secara teoritical

Pengujian sistem dengan simulasi secara teoritis ini merupakan perhitungan secara teoritis dengan menggunakan perhitungan rumus BER QPSK. Tujuan dilakukan simulasi sistem secara teoritical dengan menggunakan pendekatan BER QPSK ini diharapkan mampu menjadi patokan atau acuan bagi pengujian sistem baik secara simulasi dengan simulink maupun implementasi nantinya.

Untuk mendapatkan nilai BER menggunakan rumus

$$P_b \approx Q(\sqrt{2\gamma_b}) \dots(2.5)$$

Dengan :

$$\gamma_b = \frac{E_b}{N_0} = \frac{d^2 \cdot \min}{4N_0} \dots(2.6)$$

- Dimana :
- γ_b = perbandingan energy bit dengan noise
 - E_b = energy bit
 - N_0 = kerapatan noise
 - $d \min$ = jarak antar simbol

Dari perhitungan rumus tersebut diolah dengan program matlab dan diperoleh nilai BER yang dapat di plotting sebagai kurva acuan.

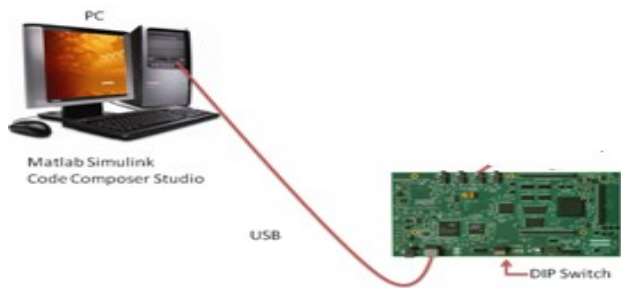
Simulasi Sistem dengan Simulink

Dari pemodelan Konvolusi code dan Viterbi decode dengan Modulasi QPSK dibuat simulasinya pada program matlab dengan menggunakan bertool. Hal ini bertujuan untuk memudahkan proses implementasi nantinya karena DSK TMS320C6416 dapat diprogram melalui Simulink Matlab. Selain itu juga untuk memastikan apakah pemodelan sistem yang dirancang dapat berjalan dengan baik.

Sinyal informasi untuk pengujian sistem dapat menggunakan blok *pulse generator* yang diperoleh dari simulink *libraries-sources-pulse generator*. *Pulse generator* akan menghasilkan bit 10101010 secara kontinyu.

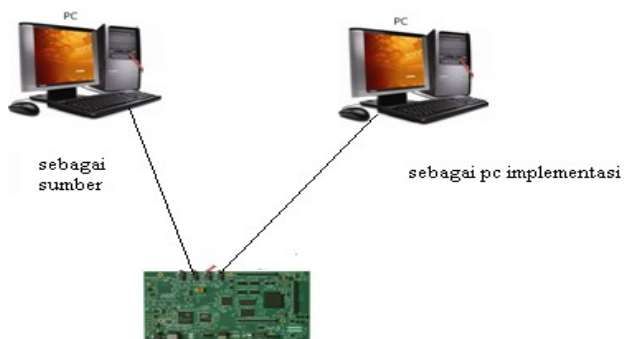
C. Implementasi Sistem dengan sumber sinyal berasal dari dalam

Implementasi sistem ini menggunakan sumber sinyal yang dibangkitkan dari dalam ,yaitu dengan menggunakan blok *Pulse Generator* sebagai sumbernya. Untuk skema pengujiannya sendiri akan terlihat pada gambar 11.



Gambar 11. Skema pengujian sistem dengan sumber dari dalam

C Implementasi Sistem dengan sumber sinyal berasal dari luar
 Untuk skema dari pengaturan hardwarenya sendiri dapat dilihat pada gambar 3.23 sebagai visualisasi dari sistem yang dibuat.

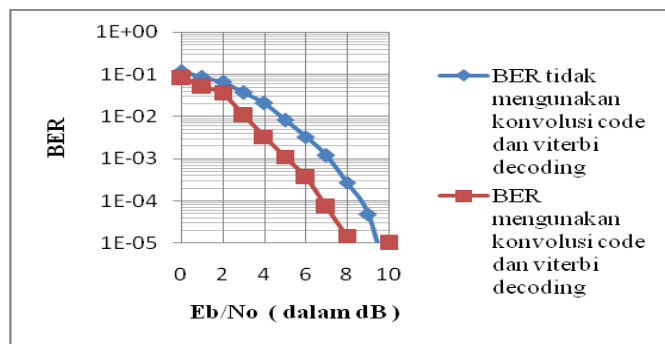


Gambar 12. Skema pengujian sistem dengan sumber dari luar

IV PENGUJIAN DAN ANALISIS SISTEM

A. Pengujian Sistem menggunakan pengkodean dan tidak menggunakan pengkodean.

Pengujian ini dimaksudkan untuk melihat bahwa dengan diberi encoder dan decoder hasil yang diperoleh jauh lebih baik dibandingkan tanpa diberi encoder decoder dalam mendeteksi dan memperbaiki error yang terjadi. Encoder dan decoder yang digunakan pada tugas akhir ini adalah konvolusi decoder dan viterbi decoder.

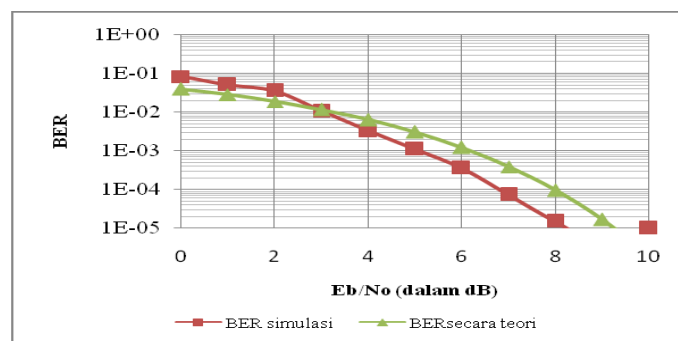


Gambar 13. Grafik perbandingan BER dengan menggunakan encoder decoder dan tanpa menggunakan encoder decoder.

Dari gambar grafik 4.1 terlihat bahwa terdapat perbedaan antara sistem yang menggunakan encoder decoder dan tanpa menggunakan encoder decoder. Pada saat Eb/No bernilai 10 dB dengan menggunakan Konvolusi code dan Viterbi decode BER mampu mencapai nilai 0. Namun tanpa menggunakan Konvolusi code dan Viterbi decode Eb/No 10 dB hanya bernilai 8.99E-06, hal ini menunjukkan bahwa dengan menggunakan Konvolusi code dan Viterbi decode error dapat dikoreksi dan diperbaiki hingga memiliki nilai BER yang minimum. Dan Coding Gain yang dimiliki ketika BER 10⁻⁵ adalah ≤ 1.5 dB.

B. Pengujian secara simulasi dan teori

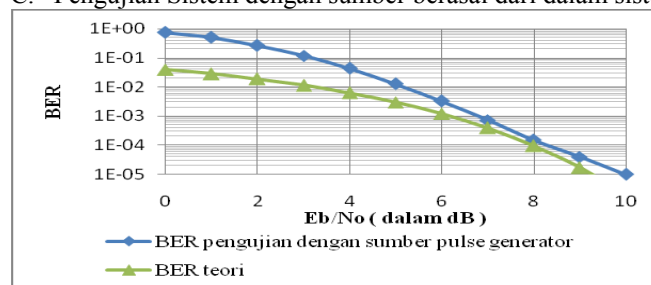
Pengujian secara teori ini dilakukan untuk memperoleh gambaran yang tepat dari sistem yang dibuat, juga dapat dijadikan acuan dari pengujian simulasi dan implementasi. Pengujian secara teori ini memanfaatkan menu *theoretical - bertool* pada program *Matlab*. Nilai Eb/No yang diberikan yaitu antara 0dB - 10 dB. Pada pengujian simulasi ini digunakan input sebanyak 1000.000 bit, agar keakuratan dari kinerja sistem ini dapat terjamin. Menggunakan Konvolusi encoder dengan code rate 1/2, K = 3, m = 2 dan pendekodanya adalah Viterbi decoder. Pada tugas akhir ini polytrellis yang digunakan 3 (5 7) merujuk pada batasan masalah yang ada.



Gambar 14. Grafik perbandingan BER dengan menggunakan teorikal dan simulasi

Dari gambar grafik di atas terlihat bahwa pengujian dilakukan pada range Eb/No 0 dB - 10 dB hal ini karena untuk range tersebut hasil BER yang digunakan sudah bagus yaitu secara simulasi pada Eb/No 0 dB bernilai 0.0815, dan ketika Eb/No bernilai 10 dB bernilai 0. Walaupun terjadi perpotongan pada saat Eb/No 3 dB dengan teori, hal ini karena walaupun sistem dimodelkan sesuai teori namun tetap saja tidak stabil seperti halnya teori.

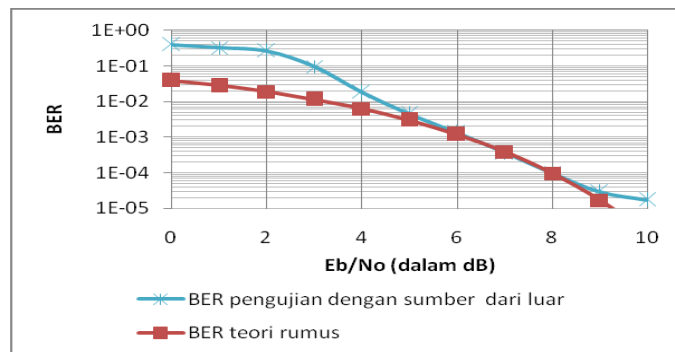
C. Pengujian Sistem dengan sumber berasal dari dalam sistem



Gambar 15 Grafik BER dengan sumber berasal dari dalam

Dari grafik di atas dapat dilihat bahwa ketika pengujian yang dilakukan sebanyak 3 kali, untuk mengetahui rata – rata dari pengujian yang dilakukan. Dengan implementasi sumber dari dalam menunjukkan hasil yang bagus hal ini karena, dari hasil pengujian nilai BER mampu mencapai nilai 0 untuk Eb/No 10 dB, hal ini berarti bit yang dikirimkan sama dengan yang diterima. Grafik implementasi dengan sumber dari dalam hampir mendekati grafik teori.

D. Pengujian Sistem dengan sumber berasal dari luar sistem



Gambar 16 Grafik BER dengan sumber berasal dari luar

Dari gambar 4.4 dapat disimpulkan bahwa untuk kurva BER pengujian berasal dari luar sistem, kurva tidak mampu mencapai BER bernilai 0. Hal ini karena penggunaan port USB yang digunakan untuk membaca keluaran dari sistem juga memiliki kelemahan dalam pembacaan data implementasi, sehingga dari hasil implementasi untuk Eb/No 10 dB nilai BER yang dihasilkan hanya mencapai 1.723E-05, hal ini juga karena sumber dari luar mempengaruhi kinerja dari encoder dan decoder yang digunakan.

V. KESIMPULAN

5.1 Kesimpulan

Dari segala yang dilakukan dalam tugas akhir ini, meliputi tahap perencanaan, simulasi, dan implementasinya, terdapat beberapa kesimpulan yang dapat diambil sebagai berikut.

1. Pada tugas akhir ini telah berhasil diimplementasikan konvolusi code dengan code rate $1/2$, $K = 3$, $m = 2$ dan pendekodenya adalah Viterbi decoder pada DSK TMS320C6416T.
2. Pengujian antara sistem yang menggunakan encoder decoder dan tanpa menggunakan encoder decoder pada saat Eb/No bernilai 10 dB dengan menggunakan Konvolusi code dan Viterbi decode BER mampu mencapai nilai 0. Namun tanpa menggunakan Konvolusi code dan Viterbi decode Eb/No 10 dB hanya bernilai $8.99E-06$, hal ini menunjukkan bahwa dengan menggunakan Konvolusi code dan Viterbi decode error dapat dikoreksi dan diperbaiki hingga memiliki nilai BER yang minimum. Dan Coding Gain yang dimiliki ketika BER 10^{-5} adalah ≤ 1.5 dB.
3. Pengujian secara simulasi dilakukan pada range Eb/No 0 dB - 10 dB hal ini karena untuk range tersebut hasil BER yang digunakan sudah bagus yaitu secara simulasi pada Eb/No 0 dB bernilai 0.0815, dan ketika Eb/No bernilai 10 dB bernilai

0. Walaupun terjadi perpotongan pada saat Eb/No 3 dB dengan teori, hal ini karena walaupun sistem dimodelkan sesuai teori namun tetap saja tidak stabil seperti halnya teori.
4. Pengujian implementasi sumber dari dalam menunjukkan hasil yang bagus hal ini karena, dari hasil pengujian nilai BER mampu mencapai nilai 0 untuk Eb/No 10 dB, hal ini berarti bit yang dikirimkan sama dengan yang diterima. Grafik implementasi dengan sumber dari dalam hampir mendekati grafik teori.
5. Pengujian implementasi dari luar sistem menunjukkan bahwa kurva BER pengujian berasal dari sistem luar, kurva tidak mampu mencapai nilai BER 0. Hal ini karena penggunaan port USB yang digunakan untuk membaca keluaran dari sistem juga memiliki kelemahan dalam pembacaan data implementasi, sehingga dari hasil implementasi untuk Eb/No 10 dB nilai BER yang dihasilkan hanya mencapai 1.723E-05, hal ini juga karena sumber dari luar mempengaruhi kinerja dari encoder dan decoder yang digunakan.

DAFTAR PUSTAKA

- [1] G Lin, Shu, & Costello, Jr., Daniel J. (1983). Error Control Coding: Fundamentals and Applications. Englewood Cliffs, New Jersey: Prentice-Hall.
- [2] Sklar, Bernard, 1998, "Digital Communication Fundamentals and Applications", Prentice Hall, New Jersey.
- [3] cK. Hasnain, A. Beg, and S.M.G. Monir "Performance Analysis of Viterbi Decoder Using a DSP Technique," in 8th IEEE International Multitopic Conference (ITMIC'04), Lahore, Pakistan, 2004, pp. 201-207
- [4] Andrea Goldsmith, "Wireless Communication", Cambridge University Press, 2005.
- [5] "TMS320C6416T DSK Technical Reference". SPECTRUM DIGITAL, INC. 2004.
- [6] fWilson, Stephen G. (1996). Digital Modulation and Coding. New Jersey: