

Implementasi *Encoder* dan *Decoder* BCH Menggunakan DSK TMS320C6416T

Mohammad Sutarto, Dr. Ir. Suwadi, MT¹⁾, Ir. Titiek Suryani, MT.²⁾

Jurusan Teknik Elektro, Fakultas Teknik Industri, Institut Teknologi Sepuluh Nopember (ITS)

Jl. Arief Rahman Hakim, Surabaya 60111

E-mail: tarto89@gmail.com; suwadi110@gmail.com; titiks@ee.its.ac.id

Abstrak—Pada sistem komunikasi digital yang berkembang sangat pesat sekarang ini perlu dihasilkan sistem komunikasi yang handal. Kesalahan yang disebabkan oleh *noise* maupun interferensi ketika data/bit melewati media transmisi harus dikurangi. Untuk itu perlu diterapkan suatu algoritma pengkodean yang dapat mendeteksi (*error detection*) sekaligus memperbaiki kesalahan bit (*error correction*). Kode BCH merupakan salah satu metode pendeteksi dan pengoreksi *error* yang terjadi secara acak, yang mampu mengoreksi beberapa kesalahan (*multiple error*) sekaligus dan merupakan pengembangan dari metode kode Hamming. Pada Tugas Akhir ini dibuat sistem kode BCH yang terdiri dari *encoder* dan *decoder* BCH, dimana modulasi yang digunakan adalah BPSK. Sistem ini diimplementasikan menggunakan perangkat DSP Starter Kit TMS320C6416T dan diuji ketahanan sistem terhadap kanal AWGN. Analisa meliputi nilai BER hasil pengujian yang diperoleh dengan mengubah parameter E_b/N_0 pada kanal AWGN. Hasil pengujian simulasi dan implementasi ditampilkan dalam bentuk grafik BER terhadap variasi E_b/N_0 dengan mengirimkan 100,000 bit. Hasil penelitian menunjukkan bahwa sistem kode BCH mampu mengurangi nilai BER secara signifikan, Kinerja sistem terbaik terdapat pada implementasi sistem dengan ukuran kode BCH(15,5) yang mampu mencapai BER= 0 pada kondisi $E_b/N_0 = 5$ dB. Nilai *coding gain* pada implementasi kode BCH(15,7) sebesar 3.75 dB untuk BER= 10^{-3} . Hasil pengujian sistem implementasi relatif sama dengan hasil pengujian sistem simulasi.

Kata Kunci—BCH, *encoder*, *decoder*, DSK TMS320C6416T

I. PENDAHULUAN

Perkembangan sistem komunikasi yang sangat pesat sekarang ini perlu dihasilkan sistem komunikasi yang handal. Salah satu indikasi dari sistem komunikasi yang handal adalah sistem yang bebas *error*. Kesalahan yang disebabkan oleh *noise* maupun interferensi ketika data/bit melewati media transmisi harus dikurangi. Untuk itu perlu diterapkan suatu algoritma pengkodean yang dapat mendeteksi sekaligus memperbaiki kesalahan bit. Algoritma pengkodean koreksi kesalahan yang cukup dikenal adalah kode BCH.

Metode ini ditemukan oleh Bose dan Ray-Chaudhuri pada tahun 1960 dan secara terpisah juga ditemukan oleh Hocquenghem pada 1959. Dalam tugas akhir ini kode BCH akan diimplementasikan menggunakan sebuah perangkat DSP yakni TMS320C6416T. Sistem kode BCH ini akan diimplementasikan pada sebuah DSP starter kit (DSK) TMS320C6416T dengan menggunakan integrasi perangkat lunak Simulink Matlab dan *Code Composer Studio*. Dengan



Gambar 1. Elemen kode BCH



Gambar 2. BCH(15,7) dalam bentuk blok

mengimplementasikan kode ini diharapkan kesalahan pada bit-bit informasi yang terjadi dapat dideteksi dan dikoreksi. Pada sistem kode BCH ini diuji nilai rasio jumlah bit informasi yang salah (BER) yang diterima pada sisi terima dengan variasi nilai E_b/N_0 .

II. TEORI PENUNJANG

A. Encoder BCH

Bose, Chaudhuri, and Hocquenghem (BCH) *code* merupakan sebuah metode *error correction* yang dibangun pada bidang *finite* (terbatas). Kode ini merupakan generalisasi dari Hamming *code* untuk *multiple error correction*. Kode BCH diperkenalkan pertama kali oleh A. Hocquenghem pada tahun 1959 dan secara terpisah pada tahun 1960 oleh R. C. Bose dan Ray-Chaudhuri.[2]

Kode BCH merupakan *Cyclic codes* dimana beberapa simbol tersusun dari m -bit yang berurutan, dimana m adalah integer positif yang lebih besar dari 2. Pada *binary BCH code* terdapat beberapa parameter sebagai berikut:[2]

$$\begin{aligned} \text{Panjang blok} & : n = 2^m - 1 \\ \text{Jumlah digit parity-check} & : n - k \leq mt \\ \text{Jarak minimal} & : d_{\min} \geq 2t + 1 \end{aligned}$$

Kode ini mampu mengoreksi berbagai kombinasi dari t atau lebih kecil dalam blok n digit. Kita menyebutnya kode BCH *t-error-correcting*. Sebuah kode BCH dapat digambarkan dengan format pada Gambar 1.

Sebuah kode BCH seperti Gambar 2.1 diatas dapat dituliskan dalam bentuk BCH (n,k) Contohnya BCH (15,7), berarti setiap 7 bit informasi akan dikelompokkan (di-framekan) dan dikodekan secara BCH dengan panjang kode 15. Hal ini berarti terdapat 8 bit *parity* yang ditambahkan, untuk jelasnya dapat dilihat di Gambar 2.

Tambahan 8 bit ini akan diletakkan di belakang informasi. Fungsinya adalah untuk melakukan deteksi dan koreksi pada bagian penerima. Jika terdapat kesalahan pada 7 bit informasi maka bit *parity-check* akan dapat mengembalikan data yang rusak ke nilai awal sebelum

terjadi kesalahan. Jumlah kesalahan yang dapat dikoreksi pada BCH (15,7) adalah $t = 2$ ($n-k \leq mt$). Misalkan $\phi_i(x)$ merupakan minimal polinomial dari α_i . Kemudian $g(x)$ adalah Kelipatan Persekutuan Terkecil (KPK) dari $\phi_1(x), \phi_2(x), \dots, \phi_{2t}(x)$

$$g(x) = \text{KPK} \{ \phi_1(x), \phi_2(x), \dots, \phi_{2t}(x) \} \quad \dots(1)$$

Untuk generator polinomial $g(x)$ dari kode BCH t -correcting-error biner dengan panjang $2^m - 1$, persamaan di atas dapat disederhanakan menjadi

$$g(x) = \text{KPK} \{ \phi_1(x), \phi_3(x), \dots, \phi_{2t-1}(x) \} \quad \dots(2)$$

Karena pangkat dari masing-masing polinomial minimum adalah lebih kecil sama dengan m , maka pangkat dari $g(x)$ nilai mt terbesar. Oleh karena itu jumlah digit parity-check ($n-k$) kode adalah sama dengan nilai mt .

Dimisalkan α adalah elemen primitive dari $GF(2^4)$ dimana $1 + \alpha + \alpha^4 = 0$. Polinomial minimal dari $\alpha, \alpha^3, \alpha^5$ adalah [2]

$$\begin{aligned} \phi_1(x) &= 1 + x + x^4 \\ \phi_3(x) &= 1 + x + x^2 + x^3 + x^4 \\ \phi_5(x) &= 1 + x + x^2 \end{aligned} \quad \dots(3)$$

Kode BCH *double-error-correcting* (atau $t=2$) dengan panjang $n = 2^4 - 1 = 15$ dibangkitkan oleh

$$\begin{aligned} g(x) &= \text{KPK} \{ \phi_1(x), \phi_3(x) \} \\ &= (1 + x + x^4)(1 + x + x^2 + x^3 + x^4) \\ &= 1 + x^4 + x^6 + x^7 + x^8 \end{aligned}$$

$n-k = 8$, ini adalah kode (15,7, ≥ 5). Karena polinomial generator adalah kode polinomial berbobot 5, maka jarak minimum (d_{min}) dari kode ini adalah 5.

B. Decoder BCH

Pada bagian penerima terdapat decoder yang berfungsi untuk mendeteksi dan mengkoreksi error data yang diterima. Beberapa proses dilakukan dalam proses decoding, antara lain:[1]

1. Sindrom Error

Pencarian sindrom mempunyai tujuan yakni untuk menentukan lokasi dimana terdapat error atau kesalahan bit. Sindrom didapat dengan meninjau polinomial terima.

2. Polinomial error-locator

Polinomial *error-locator* dapat dicari dengan menggunakan beberapa metode, antara lain algoritma Peterson, Berlekamp-Massey serta Euclid.

3. Lokasi Error

Penentuan lokasi *error* diperoleh dengan menggunakan polinomial $\Lambda(x)$ yang telah diperoleh sebelumnya. Masing-masing data pada posisinya akan dicek satu persatu dengan mensubstitusi variable x pada $\Lambda(x)$ dengan nilai inverse α .

4. Koreksi Error

Perbaikan *error* dilakukan setelah mengetahui lokasi error. Dengan mengubah nilai bit dari 0 ke 1. maupun sebaliknya.

C. Modulasi Digital BPSK

Binary Phase Shift Keying (BPSK) adalah bentuk sederhana dari *Phase Shift Keying* (PSK). Menggunakan dua fase yang dipisahkan oleh 180° sehingga juga dapat disebut 2-PSK. Itu tidak terlalu peduli persis di mana titik-titik konstelasi diposisikan, dan angka ini mereka ditampilkan pada sumbu nyata, pada 0° dan 180° .

Bentuk umum dari modulasi BPSK adalah:

$$\begin{aligned} S_0(t) &= \sqrt{\frac{2E_b}{T_b}} \cos(2\pi f_c t + \pi) = -\sqrt{\frac{2E_b}{T_b}} \cos(2\pi f_c t), \\ S_1(t) &= \sqrt{\frac{2E_b}{T_b}} \cos(2\pi f_c t), \end{aligned} \quad \dots (4)$$

Dimana f_c merupakan frekuensi carier.

D. Bit Error Rate

Bit Error Rate (BER) adalah jumlah kesalahan bit dibagi dengan jumlah bit yang ditransfer selama interval waktu tertentu. BER merupakan ukuran performansi unitless atau tidak mempunyai ukuran, sering dinyatakan dalam prosentase.

Dalam saluran *bernoise*, BER sering dinyatakan sebagai fungsi dari normalisasi rasio ukuran *carrier-to-noise* dilambangkan E_b/N_0 atau E_s/N_0 . Sebagai contoh, dalam kasus modulasi BPSK dan kanal AWGN, BER sebagai fungsi E_b/N_0 diberikan oleh :

$$BER \approx Q\left(\sqrt{\frac{2E_b}{N_0}}\right) \quad \dots (5)$$

dimana :

E_b : energi bit
 N_0 : kerapatan *noise*

E. Coding Gain

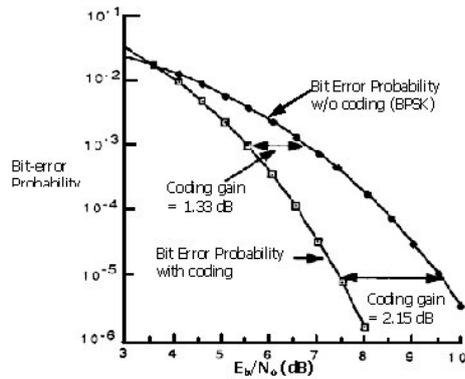
Dalam teori pengkodean, *coding gain* adalah ukuran perbedaan level *Signal to Noise Ratio* (SNR) antara sistem tanpa pengkodean dan sistem dengan pengkodean yang diperlukan untuk mencapai nilai BER yang sama pada menggunakan *Error Correcting Code* (ECC).

Sebagai contoh, jika sistem BPSK tanpa pengkodean dalam lingkungan AWGN memiliki nilai BER 10^{-2} di tingkat SNR 4 dBm dan sistem yang menggunakan pengkodean (misal BCH) memiliki BER yang sama pada tingkat SNR 2,5 dB, maka dapat dikatakan *coding gain* = 4 dB - 2,5 dB = 1,5 dB, karena penggunaan kode (dalam hal ini BCH).

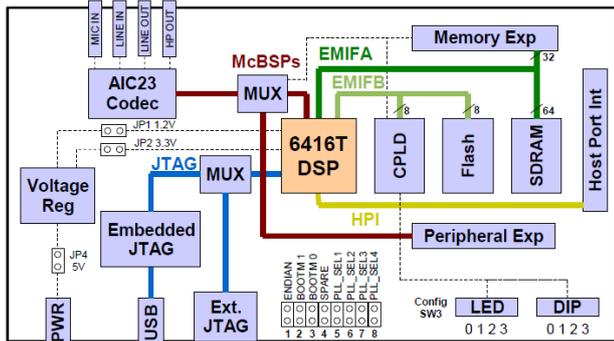
Perhitungan *coding gain* dapat juga menggunakan bantuan grafik BER. Pada Gambar 3 didapat *coding gain* 2,15 dB pada tingkat BER 10^{-5} .

F. DSK TMS320C6416T

DSP Starter Kit TMS320C6416T yang dibuat oleh Texas Instruments adalah *low cost development platform* untuk aplikasi pemrosesan sinyal digital secara *real-time*. Terdiri dari sebuah papan sirkuit kecil berisi DSP TMS320C6416 *fixed-point* dan *interface* rangkaian analog (codec) TLV320AIC23 yang terhubung ke PC melalui port USB. *Software* pada PC berbentuk *Code Composer Studio* (CCS) yang memungkinkan file ditulis dalam bahasa C atau bahasa assembly kemudian dapat dikompilasi untuk dijalankan ke dalam DSK.



Gambar 3 Perhitungan Coding Gain dengan Grafik



Gambar 4 Blok Diagram DSK TMS320C6416T

Berbagai teknologi telah menggunakan proses *real-time*, *fiber optic* untuk aplikasi VHF cocok menggunakan DSP karena masih dalam jangkauan audio frekuensi. Aplikasi umum yang menggunakan DSP ini yaitu untuk frekuensi 0-96 kHz. Frekuensi tersebut merupakan standar dalam sistem telekomunikasi untuk *sample speech* di 8 kHz (satu sampel setiap 0,125 ms). Sistem audio umumnya menggunakan *sample rate* 44,1 kHz (*compact disk*) atau 48 kHz. Juga tersedia *analog/digital (A/D) – based data – logging board* di kisaran *sampling rate* yang berukuran Megahertz.

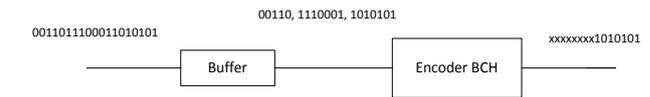
III. PERANCANGAN DAN IMPLEMENTASI SISTEM

Perancangan dan implementasi sistem dilakukan dengan menggunakan beberapa perangkat lunak. Perancangan dilakukan pada Matlab Simulink, sedangkan implementasi sistem dilakukan dengan menggunakan bantuan perangkat lunak *Code Composer Studio (CCS) v3.1*. *Code Composer Studio* berfungsi untuk mengintegrasikan hasil perancangan ke dalam perangkat DSK TMS320C6416T.

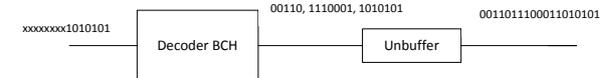
A. Pemodelan Sistem

Sumber informasi yang akan dikodekan yaitu data biner ‘0’ dan ‘1’ akan melewati buffer terlebih dahulu, lalu masuk ke BCH *encoder* sehingga menghasilkan *codeword* yang berupa data informasi beserta kode *parity-check*.

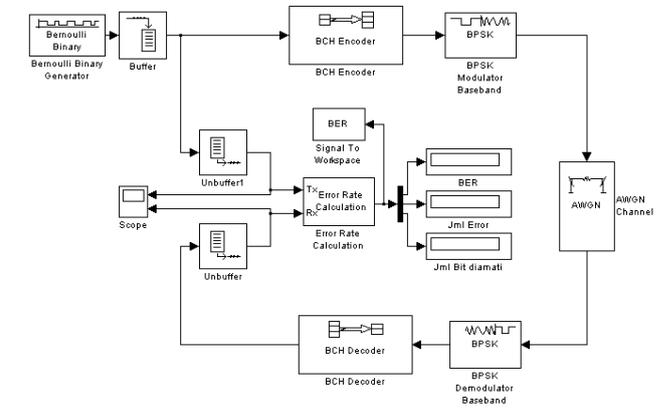
Pada contoh Gambar 5. merupakan sistem *encoding* kode BCH (15,7). Untuk itu dibutuhkan sebuah *buffer* agar data informasi dibentuk suatu frame dengan ukuran sesuai kode BCH, pada contoh di atas adalah 7x1. Kemudian tugas dari *encoder* BCH untuk mengkodekan data yaitu dengan menambahkan 8 kode *parity-check* tiap framenya. Sehingga



Gambar 5. Pemodelan Sistem Encoding Kode BCH



Gambar 6. Pemodelan Sistem Decoding Kode BCH



Gambar 7. Blok Diagram Simulasi Kode BCH dengan

Modulasi BPSK *Baseband* dan Kanal AWGN dihasilkan deretan *codeword* 15x1 untuk kemudian dikirimkan menuju penerima.

Agar kode tersebut dapat kembali seperti data informasi aslinya, maka dibutuhkan *decoder* BCH. Dengan adanya kode *parity-check*, *decoder* mampu mengembalikan data sama seperti data informasi sebelum dikodekan. Gambar 6. menunjukkan proses *decoding* BCH pada sisi penerima.

B. Simulasi Sistem

Secara umum, terdapat 4 proses yang dilakukan pada simulasi ini yaitu Konversi, *Encoding*, *Decoding*, dan Perhitungan BER. Modulasi yang digunakan adalah modulasi BPSK. Terdapat dua macam simulasi yang dilakukan berdasarkan asal kesalahan. Yaitu dengan menggunakan kanal AWGN dan membangkitkan bit *error* sendiri. Hal ini untuk mengetahui kemampuan koreksi kesalahan dari kode BCH.

1. Simulasi Menggunakan AWGN dan Modulasi Baseband

Pada simulasi ini, sistem kode BCH menggunakan modulasi BPSK dan ada penambahan kanal AWGN. Beberapa blok ditambahkan diantara *encoder* dan *decoder* BCH, yakni *Buffer*, *BPSK Modulator Baseband*, dan *BPSK Demodulator Baseband*. Setiap bit yang keluar dari sumber sinyal harus dikelompokkan dalam bentuk frame yang ukurannya sesuai dengan ukuran kode BCH yang disimulasikan. Untuk itu digunakan blok *Buffer*. Misal untuk kode BCH(15,7) ukuran *buffer* yang diatur adalah 7.

Hasil dari simulasi yang ditunjukkan Gambar 7 merupakan gambaran dari performansi *error control* dari kode BCH.

2. Simulasi Menggunakan AWGN dan Modulasi Passband

Dalam simulasi ini berbeda modulasi BPSK *baseband*. Selain untuk mendekati implementasi yang secara riil, dirancang juga blok diagram simulasi yang menggunakan modulasi *passband*. Hal ini dapat dilakukan dengan mengalikan sinyal keluaran hasil modulasi dengan sinyal sinus atau *sin wave*, sebagaimana mengacu pada persamaan umum modulasi BPSK.

Pada bagian penerima juga dilakukan pengalihan sinyal, hal ini bertujuan untuk mendapatkan sinyal asli hasil modulasi. Hasil perancangan inilah yang diimplementasikan ke dalam DSK TMS320C6416T.

3. Simulasi dengan Masukan *Error Impuls Diskrit*

Tiap ukuran blok pada kode BCH mempunyai kemampuan koreksi yang berbeda, bergantung pada nilai *t* ,masing-masing. Simulasi ini tidak menggunakan kanal AWGN. Jika pada simulasi sebelumnya kesalahan bit terjadi karena kanal AWGN yang *bernoise*, maka dalam simulasi kali ini *error* akan diberikan dengan menambahkan inputan *error*.

Impulse, kemudian dengan menggunakan gerbang logika XOR, sinyal impuls diskrit akan mengakibatkan sinyal hasil encoding akan berubah dari 0 ke 1 atau sebaliknya pada periode *t* tertentu.

Kode BCH(15,7) mempunyai kemampuan koreksi ganda ($t=2$), maka setiap terdapat satu atau dua kesalahan bit dalam satu *codeword*, kode BCH ini mampu mendeteksi kesalahan tersebut mengkoreksinya. Jika kesalahan bit mencapai tiga atau lebih dari dua, kode BCH ini tidak mampu untuk memperbaiki kesalahan bit. Simulasi yang ditunjukkan Gambar 8 membuktikan teori kemampuan deteksi dan koreksi kode BCH.

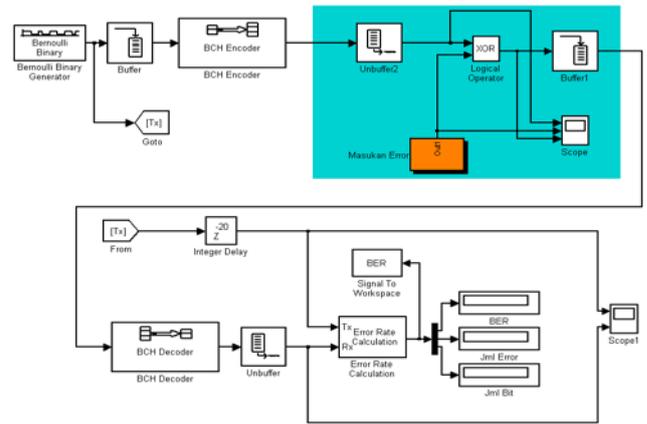
C. Implementasi Sistem

Proses Implementasi yang dilakukan adalah memprogram DSK TMS320C6416T sehingga didapatkan hasil kerja sistem seperti dengan simulasi sistem. Implementasi sistem pada DSK TMS320C6416T membutuhkan beberapa cara yaitu program menggunakan bahasa C, *assembly*, atau dengan integrasi Simulink Matlab. Pada tugas akhir ini menggunakan cara implementasi sistem dengan integrasi Simulink Matlab.

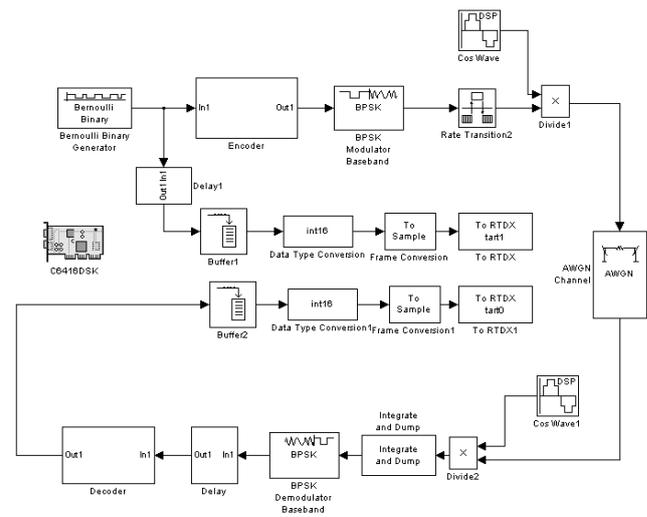
Untuk menyisipkan bit *error* digunakan blok *Discrete* Implementasi sistem kode BCH ini menggunakan sumber sinyal yang dibangkitkan dari Simulink. Seperti yang telah dirancang pada simulasi system, sumber sinyal menggunakan blok *Bernoulli Binary Generator*. Performasi sistem tetap dilakukan dengan mengevaluasi nilai BER.

Bila pada tahap simulasi hasil BER dapat langsung dilihat pada *display*, pada tahap implementasi ini nilai BER diperoleh dengan mengambil data dari RTDX. Blok RTDX pada implementasi ini adalah digunakan untuk mengambil hasil keluaran dari sistem yang telah diimplementasikan kedalam DSK.

File simulink yang ditunjukkan Gambar 9 dapat diimplementasikan pada DSK adalah dengan cara klik *incremental build* yang terdapat pada simulink. Menu *incremental build* ini berfungsi untuk mengkomunikasikan Matlab dengan *Code Composer Studio* sehingga file simulink yang telah dibuat dapat menjadi file project CCS



Gambar 8. Blok Diagram Simulasi Kode BCH dengan Masukan *Error Impuls Diskrit*



Gambar 9. Blok Implementasi *Encoder dan Decoder* BCH

(* .pjt) dimana berisi hasil konversi file simulink kedalam bahasa C dan *assembly*.

IV. PENGUJIAN DAN ANALISA SISTEM

Bagian ini menjelaskan pengujian dari sisi simulasi sistem sehingga dari hasil simulasi sistem dapat dibandingkan terhadap hasil dari implementasi sistem yang dilakukan. Hasil pengujian implementasi sistem ini ditampilkan melalui grafik BER. Pengujian ini menggunakan beberapa ukuran kode BCH yakni BCH(15,7), BCH(15,5), dan BCH(31,21). Dengan bervariasi nilai E_b/N_0 didapatkan grafik kinerja BER pada ketiga ukuran kode BCH yang digunakan.

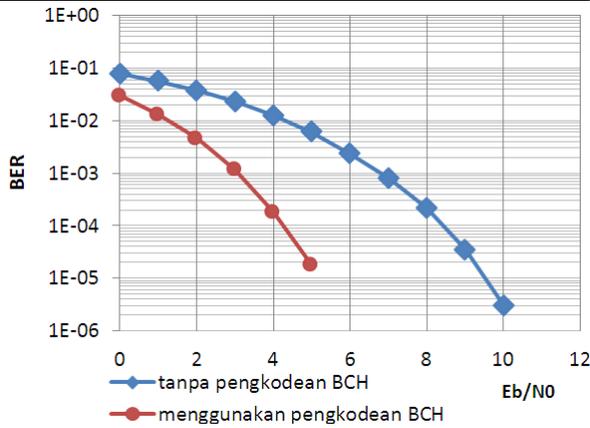
A. Simulasi Masukan *Error Impuls Diskrit*

Tabel 1 adalah hasil perhitungan simulasi kode BCH dengan masukan error impuls diskrit.

Tabel 1 membuktikan telah membuktikan kemampuan koreksi masing-masing ukuran kode BCH. Contohnya kode BCH(15,7) mempunyai kemampuan koreksi *error* ganda (*2-error-correcting*), maka setiap dua bit *error* berurutan kode BCH ini mampu untuk memperbaikinya seperti pada sisi kirim sebelum dikodekan. Jika terdapat 3 bit *error*, kode ini sudah tidak mampu untuk mengoreksinya.

Tabel 1.
Hasil Perhitungan Simulasi Kode BCH dengan Masukan Error Impuls Diskrit

Jumlah Masukan Error Impuls Diskrit	Jumlah Bit Error Terima		
	BCH(15,7)	BCH(15,5)	BCH(31,21)
1	0	0	0
2	0	0	0
3	4	0	3
4	4	4	3



Gambar 10 Grafik Perbandingan BER Modulasi BPSK tanpa dan dengan Penggunaan Kode BCH

B. Simulasi Sistem Menggunakan Kanal AWGN

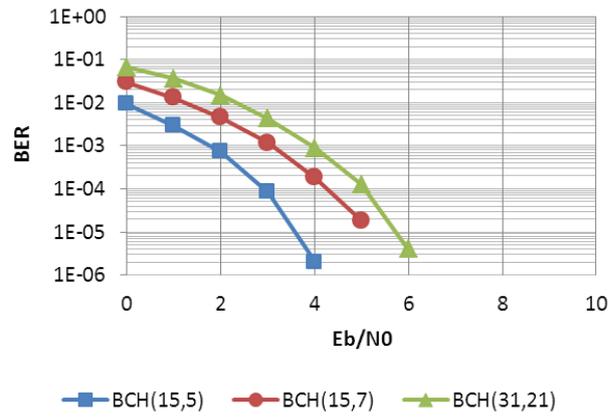
Pada simulasi ini kesalahan bit terjadi karena adanya *noise* pada kanal AWGN. Dengan memvariasikan nilai E_b/N_0 pada kanal AWGN akan didapatkan pengaruhnya pada nilai BER. Berikut perbandingan nilai BER dengan atau tanpa menggunakan pengkodean BCH, dimana ukuran kode BCH(15,7) dengan jumlah bit yang dikirim sebesar 1.000.000 bit, ditunjukkan dengan Gambar 10.

Dari grafik diatas terlihat bahwa penggunaan kode BCH membuat kesalahan bit yang terjadi berkurang. Hal ini disebabkan karena kode BCH mampu untuk mendeteksi kesalahan bit dan dapat mengoreksinya secara signifikan.

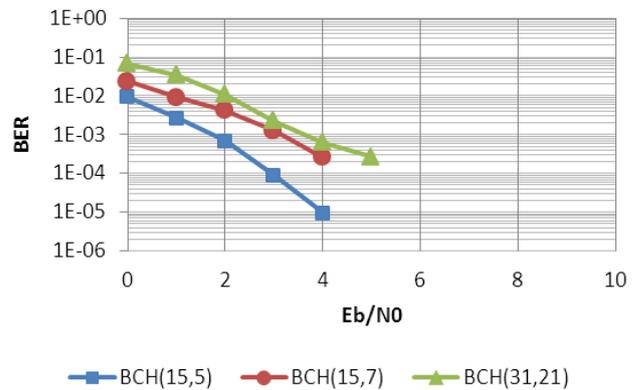
Pada kondisi E_b/N_0 6 dB saja sudah tidak ada kesalahan bit yang muncul atau nol. Sedangkan pada saat $E_b/N_0 = 0$ dB nilai BER mampu dikurangi hingga 62% dibandingkan saat tidak menggunakan kode BCH. Sedangkan *coding gain* pada $BER = 10^{-3}$ adalah 3,35 dB. Tidak semua bit yang error dapat dikoreksi, terbukti masih terdapat kesalahan bit yang terjadi. Kemampuan koreksi kode BCH yang terbatas menjadi alasan kenapa masih ada kesalahan bit masih ada.

Selain pada BCH(15,7), simulasi juga dilakukan pada ukuran kode BCH yang lain yakni BCH(15,5) dan BCH(31,21). Hasil simulasi *encoder* dan *decoder* BCH dengan menggunakan modulasi BPSK baseband ditunjukkan oleh gambar berikut.

Pada Gambar 11 diketahui bahwa BCH(15,5) mempunyai kemampuan koreksi yang paling bagus di antara ukuran yang lain. Kode BCH(15,5) sudah mencapai $BER = 0$ pada saat $E_b/N_0 = 5$ dB. Kode ini menghasilkan *coding gain* sebesar 4,9 dB pada $BER = 10^{-3}$. Hal ini dikarenakan kode ini mempunyai kemampuan koreksi *triple error* atau $t=3$. Bandingkan dengan dua ukuran lainnya yang mempunyai kemampuan koreksi *error* ganda ($t=2$).



Gambar 11. Grafik BER Simulasi Kode BCH Menggunakan Modulasi BPSK baseband



Gambar 12. Grafik BER Implementasi Sistem Kode BCH pada DSK TMS320C6416

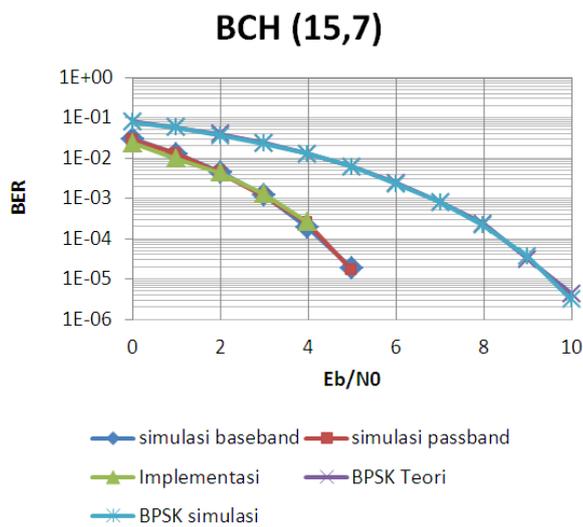
C. Pengujian Implementasi Sistem Encoder dan Decoder BCH

Dari implementasi kode BCH yang telah dilakukan, maka kemudian diuji untuk mengetahui keberhasilan proses implementasi. Parameter BER tetap menjadi pedoman pengujian. Untuk mendapatkan nilai BER diperlukan blok tambahan RTDX. Blok ini ditempatkan pada sisi pengirim dan penerima. Jumlah bit yang dikirim adalah sebanyak 100.000 bit, berbeda dengan pada waktu simulasi yakni 1.000.000 bit. Hal ini disebabkan alat yang digunakan yakni TMS320C6416 tidak memungkinkan untuk mencapai jumlah bit yang sama.

Dalam pengujian ini dibutuhkan kabel USB yang digunakan untuk menghubungkan DSK dengan komputer dimana kabel USB ini nantinya akan digunakan untuk mengirimkan hasil dari kinerja sistem yang telah diimplementasikan menuju kedalam komputer sehingga dapat diolah dengan Matlab.

Pengujian dilakukan dengan ukuran kode BCH yang telah diimplementasikan, yakni BCH(15,7), BCH(15,5), dan BCH(31,21). Dimana pengujian sistem dilakukan sebanyak 3 kali pengukuran dihitung rata-rata dari hasil pengukuran tersebut. Dari hasil pengukuran untuk BCH(15,7) didapatkan hasil pada Gambar 12.

Pengujian BCH(15,5) di atas nyaris tidak ada perbedaan yang signifikan dibandingkan pada saat simulasi. Hal ini dikuatkan dengan mampu mencapai $BER = 0$ pada saat E_b/N_0 sama dengan 5 dB. *Coding gain* yang diperoleh dari hasil implementasi kode BCH(15,5) adalah 5,3 dB pada $BER = 10^{-4}$.



Gambar 13 Grafik BER BCH(15,7)

Ukuran kode BCH yang lain juga tidak menunjukkan perbedaan yang signifikan. Ini membuktikan bahwa implementasi yang dilakukan berjalan dengan baik. Dari awal peninjauan modulasi BPSK teori, simulasi dan implementasi sistem encoder dan decoder BCH menghasilkan nilai-nilai BER yang berkorelasi.

Analisa sistem secara keseluruhan diwakilkan pada pengamatan kode BCH(15,7). Pada ukuran ini didapatkan bahwa kesalahan sebanyak nol bit pada saat E_b/N_0 6 dB untuk simulasi dan 5 dB untuk implementasi. Pengujian BER pada implementasi lebih baik dibandingkan simulasi baik *baseband* maupun *passband*, disebabkan karena filter digital yang terdapat pada DSK TMS320C6416 serta jumlah bit yang diamati berbeda.

Pada Gambar 13 dapat disimpulkan bahwa penambahan *encoder* dan *decoder* BCH mampu mengurangi bit *error* pada sisi terima dengan sangat signifikan. Jika hanya dengan menggunakan modulasi BPSK saja pada $E_b/N_0=10$ dB masih terdapat bit *error*. Hal ini tentunya berbeda jauh dengan kode BCH(15,7) yang mampu mencapai BER nol pada saat $E_b/N_0=6$ dB. Kemampuan deteksi *error* dan koreksi *error* dari kode BCH yang membuat bit *error* yang terjadi akibat *noise* pada kanal mampu diperbaiki seperti semula.

Hasil pengujian BER implementasi kode BCH(15,7) ternyata dapat dikatakan sama dengan simulasi menggunakan modulasi BPSK *baseband* dan *passband* pada Matlab Simulink. Ketiga garis pada grafik saling bertumpu satu sama lain. Tentunya hal ini membuktikan bahwa hasil implementasi *encoder* dan *decoder* BCH sudah berhasil. Bila ada perbedaan itupun sangat sedikit dan dapat disebabkan karena beberapa sebab. Nilai *gain code* yang dihasilkan pada implementasi BCH(15,7) sebesar 3,95 dB pada $BER=10^{-4}$.

Kedua ukuran kode BCH yang lain yakni BCH(15,5) dan BCH(31,21) yang juga diimplementasikan pada DSK TMS320C6416 menunjukkan kecenderungan yang sama dengan BCH(15,7). Yaitu mampu memperbaiki nilai BER dengan sangat drastis dan menghasilkan BER implementasi sama dengan hasil simulasi Simulink. Dimana performansi BER yang paling baik oleh kode BCH(15,5), yang mempunyai kemampuan koreksi *error* rangkap tiga. Berbeda dengan BCH(15,7) dan BCH(31,21) yang memiliki kemampuan koreksi *error* ganda.

Tabel 2.
Perhitungan *Coding Gain* Hasil Implementasi

BER	<i>Coding Gain</i> (dB)		
	BCH(15,5)	BCH(15,7)	BCH(31,21)
10^{-3}	4,95	3,75	3,05
10^{-4}	5,35	-	-

V. KESIMPULAN

Berdasarkan proses pengerjaan tugas akhir ini yang meliputi tahap perancangan, simulasi, dan implementasi, didapatkan beberapa kesimpulan sebagai berikut:

1. Dari hasil simulasi kode BCH(15,7) yang dibandingkan dengan teori BPSK didapatkan penurunan BER 62% pada $E_b/N_0=0$ dB, dan diperoleh *coding gain* 3,45 dB pada $BER=10^{-3}$.
2. Pada sistem kode BCH(15,5), hasil implementasi didapatkan nilai $BER=10^{-5}$ dalam pengujian 100,000 bit pada $E_b/N_0=4$ dB, *coding gain* sebesar 4,95 dB untuk $BER=10^{-3}$.
3. Pada sistem kode BCH(15,7), hasil implementasi didapatkan nilai $BER=10^{-3}$ dalam pengujian 100,000 bit pada $E_b/N_0=3$ dB, *coding gain* sebesar 3,75 dB untuk $BER=10^{-3}$.
4. Pada sistem kode BCH(31,21), hasil implementasi didapatkan nilai $BER=3 \cdot 10^{-4}$ dalam pengujian 10,000 bit pada $E_b/N_0=5$ dB, *coding gain* sebesar 3,05 dB untuk $BER=10^{-3}$.
5. Hasil implementasi terburuk terdapat pada sistem BCH(31,21) dibandingkan dengan sistem BCH(15,5) dan BCH(15,7). Hasil ini karena BCH(31,21) hanya mempunyai kemampuan koreksi *error* ganda ($t=2$) dengan ukuran $k=21$.

DAFTAR PUSTAKA

- [1] Wicker, Stephen B. *Error Control Systems for Digital Communication and Storage*. Prentice Hall International Inc.1994
- [2] Lin, Shu. Costello, Daniel Jr. *Error Control Coding: Fundamentals and Applications*. New Jersey: Prentice-Hall Inc.1983
- [3] Sklar, Bernard. *Digital Communications Fundamental and Applications*. Prentice Hall P T R.
- [4] Chassing, Rulph. *Digital Signal Processing and Applications with the TMS320C6713 and TMS320C6416 DSK*. John Willey & Sons Inc. 2008
- [5] _____. *TMS320C6416T Technical Reference*. Spectrum Digital Inc. 2004.
- [6] Meghdadi, Vahid. *BER Calculation*. 2008.
- [7] Hayes, Monson H. *Schaum's Outline of Theory and Problems of Digital Signal Processing*. McGraw Hill, United State of America. 1999.
- [8] Rajagopalan, Arun. Washington, Gregory. *Simulink Tutorial*. The Intelligent Structure and Systems Laboratory Department of Mechanical Engineering The Ohio-State University. 2002
- [9] Sarmin, Suzi Seroja. Naim, Nani Fadzlina. Muhammad, Wan Nor Syafidzan. *Performance Evaluation of Phase Shift Keying Modulation Technique Using BCH Code, Cyclic Code and Hamming Code Through AWGN Channel Model in Communication System*. University of Technology MARA.
- [10] Rohman, Yanuar. *Implementasi Reed-Solomon Code Menggunakan TMS320C6416T*. Jurusan Elektro FTI-ITS. Surabaya. 2013