

# Evaluasi Kinerja Metode *Clock Recovery PLL Loop* untuk Modulasi dan Demodulasi BPSK pada Dua Board DSK TMS320C6713

Sun'anul Huda<sup>1)</sup>, Achmad Affandi<sup>2)</sup>

Jurusan Teknik Elektro, Fakultas Teknologi Industri, Institut Teknologi Sepuluh Nopember (ITS)

Jl. Arief Rahman Hakim, Surabaya 60111

E-mail: [affandi@ee.its.ac.id](mailto:affandi@ee.its.ac.id)<sup>2)</sup>

**Abstrak**— Radio merupakan perangkat telekomunikasi yang mengirim gelombang elektromagnetik dimana gelombang ini merambat melalui udara. Perangkat radio terdiri dari komponen elektronika analog yang digunakan untuk mengolah sinyal secara sederhana serta memiliki kemampuan yang terbatas. Komponen elektronika analog belum bisa memenuhi kebutuhan teknologi telekomunikasi saat ini, seperti laju bit tinggi dan perangkat yang kecil. Memasuki era digital mengakibatkan perkembangan komponen elektronika hingga saat ini muncul perangkat elektronika terprogram

Perangkat yang digunakan untuk membangun sistem ini adalah *Digital Signal Processor Starter Kit (DSK) TMS320C6000* keluaran dari Texas Instruments. Dalam tahap implementasi, DSK diprogram langsung dengan menggunakan integrasi Simulink Matlab untuk membangun sistem modulasi dan demodulasi *Binary Phase Shift Keying (BPSK)*. Permasalahan yang dihadapi adalah kondisi *clock* antar perangkat yang tidak sinkron yang mengakibatkan BER yang tinggi pada sistem modulasi dan demodulasi sehingga dibutuhkan sebuah metode untuk meminimalisasi *time error* tersebut sehingga performansi sistem tetap tinggi dengan tingkat akuisisi yang konstan.

Dalam tugas akhir ini, dilakukan pengujian kinerja dari salah satu metode *clock recovery*, yaitu *phase-locked-loop* yang akan dimasukkan ke dalam sistem demodulasi BPSK yang diimplementasikan pada sepasang board DSK TMS320C6000. Ada dua buah implementasi yang diuji dalam tugas akhir ini, yaitu implementasi modulasi dan demodulasi BPSK tanpa menggunakan PLL dan dengan menggunakannya. Dari hasil implementasi tersebut, kemudian diuji, dianalisis dan ditentukan berapa besar penurunan nilai BER-nya, sehingga bisa diketahui apakah penggunaan metode PLL dibutuhkan pada sistem modulasi dan demodulasi BPSK yang diimplementasikan pada DSK TMS320C6000.

**Kata Kunci**— BPSK, DSK TMS320C6000, BER, SNR, *phase-locked-loop*.

## I. PENDAHULUAN

SISTEM komunikasi digital menjadi semakin menarik karena permintaan komunikasi data yang selalu meningkat dan karena transmisi digital menawarkan fleksibilitas dan pilihan pemrosesan data yang tidak tersedia pada transmisi analog [1]. Dari hal ini, muncullah teknologi digital yang mampu melakukan pemrosesan data dengan kecepatan tinggi namun tetap *reliable*.

Pada penelitian sebelumnya telah dilakukan implementasi modulasi dan demodulasi digital *Binary Phase Shift Keying (BPSK)*. Penelitian ini dilakukan dengan menggunakan DSP *Starter Kit (DSK) TMS320C6713* yang mempunyai kecepatan prosesor 225 MHz. Sistem modulasi dan demodulasi BPSK diuji dengan *noise* yang bervariasi untuk

mengetahui jumlah kesalahan bit yang diterima. Kinerja dari implementasi sistem ditampilkan dalam grafik *Bit Error Rate (BER)* terhadap *Signal to Noise Ratio (SNR)*. Penelitian ini dilakukan dengan menggunakan satu buah board DSK sehingga pengujian dilakukan dengan memanfaatkan DIP Switch, multiport, dan menggunakan board tersebut secara bergantian sebagai modulator dan demodulator. Permasalahan yang ditemukan pada penelitian ini adalah nilai BER yang tinggi dengan rata-rata 0,5 dikarenakan kondisi *clock* antar perangkat yang tidak sinkron.

Pada semua sistem komunikasi, sinkronisasi dibutuhkan pada penerimaan sinyal datang di receiver [2]. Banyak metode sinkronisasi yang telah ada seperti *costas loop*, *square-then-divide*, *phase-locked-loop (PLL)*, dan lain-lain. Metode-metode tersebut digolongkan ke dalam *time recovery*, *carrier recovery*, dan sebagainya. Pada tugas akhir ini, akan diuji kinerja dari metode PLL pada sistem demodulasi BPSK yang diimplementasikan pada DSK TMS320C6x. PLL berfungsi sebagai *time recovery* pada sistem tersebut. Pengujian dilakukan dengan menghitung nilai BER dari sistem modulasi dan demodulasi BPSK saat sistem tidak menggunakan *time recovery* dan saat menggunakannya.

## II. PERANCANGAN DAN IMPLEMENTASI SISTEM

### A. *Phase-locked-loop*

Inti dari hampir semua rangkaian sinkronisasi adalah beberapa versi dari sebuah *phase-locked-loop (PLL)*. Pada receiver digital modern, loop ini mungkin sulit untuk dikenali, tapi kesamaan fungsional pada dasarnya selalu ada. PLL adalah *servo-control-loop* yang parameter terkontrolnya adalah fase dari replika yang dihasilkan secara lokal dari sinyal carrier yang datang. PLL mempunyai tiga komponen dasar yaitu: detektor fase, loop filter, dan voltage-controlled oscillator (VCO).

Detektor fase adalah komponen yang mengukur perbedaan fase antara sinyal yang datang dengan replika lokal. Ketika sinyal datang dan replika lokal berubah terhadap satu sama lain, perbedaan fase (atau error fase) akan menjadi sebuah sinyal *time-varying* yang masuk ke loop filter. Loop filter mengendalikan respons PLL terhadap variasi ini di sinyal error. Loop yang didesain dengan baik akan mampu mengetahui perubahan fase pada sinyal datang tapi tidak terlalu responsive terhadap noise yang diterima. VCO adalah komponen yang menghasilkan replika sinyal

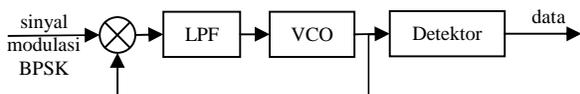
carrier. VCO adalah oscillator sinusoidal yang frekuensinya dikontrol oleh level tegangan yang ada pada input dari komponen ini.

VCO adalah oscillator yang mempunyai frekuensi output yang linier terhadap inputnya pada beberapa tange input dan output. Input positif pada VCO akan menyebabkan frekuensi outputnya lebih besar daripada nilai yang belum dikontrol  $\omega_0$ , begitu juga sebaliknya. Phase lock didapatkan dengan memberikan error fase yang telah difilter antara sinyal datang dengan output VCO, kemudian kembali ke input VCO.

Pada receiver digital modern, detektor error bisa menjadi sangat kompleks, akan tetapi, pada tugas akhir ini, akan digunakan PLL dasar sebagai awal dari penelitian sinkronisasi selanjutnya.

**B. Pemodelan dan Simulasi Sistem**

Pada bagian demodulator BPSK yang menggunakan PLL (*phase-locked-loop*), sinyal yang diterima di demodulator, akan dilewatkan ke sebuah detektor yang mampu mendeteksi adanya error fase, sinyal yang datang ini dibandingkan dengan output dari VCO, kemudian hasil dari perbandingan ini akan dilewatkan ke dalam sebuah lowpass filter yang outputnya akan menjadi tegangan input dari VCO. Output dari VCO ini akan dikembalikan pada detektor untuk dideteksi perbedaan fase yang terjadi. Selain itu, output VCO akan dideteksi sehingga didapatkan data awal seperti yang diinginkan. Model dari sistem ini bisa dilihat pada gambar 1.



Gambar 1 Pemodelan sistem Demodulasi dengan PLL

**C. Implementasi Sistem**

**1. Implementasi Sistem Modulasi dan Demodulasi BPSK tanpa menggunakan PLL**

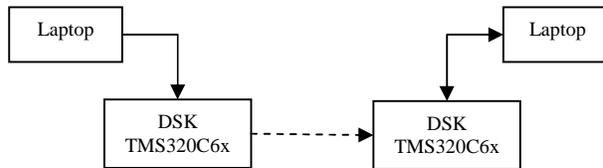
Pada implementasi seistem modulasi dan demodulasi BPSK tanpa PLL, akan digunakan 2 board DSK TMS320C6416 yang dihubungkan menggunakan kabel audio stereo 3.5mm. Pada tahap ini, model yang digunakan adalah model simulink dari modulator dan demodulator BPSK yang akan digunakan pada masing-masing board.

Pada pengujian ini, dibutuhkan dua laptop yang masing-masing berjalan pada sisi modulator dan demodulator, kedua laptop ini masing-maing dihubungkan dengan sebuah DSK yang nantinya akan diimplementasikan sistem modulasi dan demodulasi ini ke dalamnya. Skema pengujian ini bisa dilihat pada gambar 5. Skema untuk pengujian tahap selanjutnya, yaitu implementasi sitem modulasi dan demodulasi BPSK dengan PLL sama dengan skema pengujian ini, yang membedakan hanya model yang disimulasikan di dalam laptop yang menjalankan fungsi demodulator.

**2. Implementasi Sistem Modulasi dan Demodulasi BPSK dengan Menggunakan PLL**

Implementasi ini menggunakan model *phase-locked-loop* pada demodulator.dalam implementasi ini, semua alat dan

skema pengujian sama dengan implementasi tanpa PLL, yang membedakan adalah adanya tambahan sistem PLL pada demodulator. Pada sistem demodulator, ditambahkan sebuah VCO dan sebuah detektor fase yang mampu mengunci fase tersebut, sedangkan model yang digunakan untuk sistem modulasi sama dengan implementasi sebelumnya.



Gambar 2 Skema pengujian modulasi dan demodulasi BPSK

**D. Pengujian Implementasi Sistem**

Dari semua sistem yang diimplementasikan akan diuji kinerjanya dengan parameter BER (*Bit Error Rate*) terhadap variasi *noise* tertentu. Tegangan sinyal hasil modulasi BPSK diukur terlebih dahulu dengan avometer yang memiliki ketelitian tegangan AC pada *range* 2 volt. Kemudian variasi *noise* juga diukur agar dapat dicari nilai perbandingan antara tegangan sinyal dengan tegangan *noise* dalam SNR.

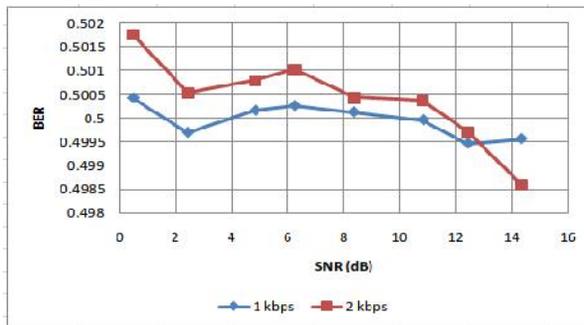
Semua sistem diuji pada kondisi laju bit 1 kbps dan 2 kbps. Jumlah bit yang diuji adalah 10.000 bit. Sehingga untuk laju bit 1 kbps memerlukan 10 detik untuk mencapai 10.000 bit, dan untuk laju bit 2 kbps hanya memerlukan 5 detik. Hasil demodulasi implementasi sistem yang berupa *log file* dari *oscilloscope* berbasis PC (*Visual Analyzer*) diolah dengan Ms Excel sebagai berikut.

**III. HASIL DAN ANALISIS KINERJA SISTEM**

**A. Hasil Simulasi Spesifikasi LPF**

Dari perhitungan spesifikasi filter yang telah dilakukan, *low pass filter* yang dipilih adalah dengan  $f_{pass}$  1400 Hz  $f_{stop}$  3000 Hz. Hal ini karena  $f_{pass}$  ini memiliki nilai BER rata-rata paling baik untuk nilai SNR beragam dalam 2 kondisi laju bit yang berbeda, yaitu 1 kbps dan 2 kbps. Berdasarkan nilai BER teoritis sebelumnya, laju bit 2 kbps memiliki nilai BER yang lebih buruk daripada 1 kbps sehingga untuk pemilihan spesifikasi low pass filter ini juga lebih memperhatikan laju bit 2 kbps.

**B. Pengujian Sistem Modulasi dan Demodulasi BPSK tanpa menggunakan PLL**



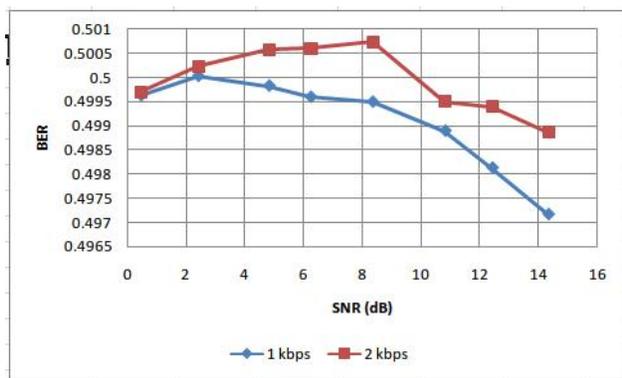
Gambar 3 Grafik BER vs SNR Sistem Demodulasi tanpa PLL

Pengujian implementasi sistem yang pertama adalah sistem modulasi dan demodulasi BPSK tanpa PLL. Sinyal masukan atau data dari sistem ini diambil dari *pulse generator* yang ada pada simulink. Dari 3 kali hasil pengujian, diperoleh nilai BER seperti pada grafik BER vs SNR pada gambar 3.

Dari gambar 3 dapat dilihat bahwa nilai BER berkisar pada titik 0.5 untuk semua nilai SNR. Jika diamati secara lebih teliti, dapat dilihat bahwa terjadi penurunan nilai BER ketika nilai SNR semakin naik. Dapat dilihat juga bahwa nilai BER untuk laju bit 1 kbps mempunyai nilai BER yang lebih baik daripada laju bit 2 kbps. Akan tetapi, nilai BER yang didapat termasuk nilai yang buruk. Hal ini disebabkan tidak sinkronnya fase yang didapatkan pada demodulator.

C. Pengujian Sistem Modulasi dan Demodulasi BPSK dengan menggunakan PLL

Pengujian implementasi sistem yang kedua adalah sistem modulasi dan demodulasi BPSK dengan menggunakan PLL. Sinyal masukan atau data dari sistem ini juga diambil dari *pulse generator* yang ada pada simulink. Dari 3 kali hasil pengujian, diperoleh nilai BER seperti pada grafik BER vs SNR pada gambar 4.



Gambar 4 Grafik BER vs SNR sistem demodulasi menggunakan PLL

Dari gambar 4 dapat dilihat bahwa nilai BER masih berkisar pada nilai 0.5, dengan kecenderungan turunnya BER di saat naiknya SNR. Hal ini menunjukkan bahwa semakin tinggi NSR, maka nilai BER akan semakin baik.

Dari gambar 4 juga dapat diketahui bahwa nilai BER yang didapatkan masih jauh dari teori, Tingginya nilai BER yang didapat ini dikarenakan tidak sinkronnya clock antar perangkat yang bersangkutan.

D. Analisis Sistem Keseluruhan

Pada laju bit 1 kbps dan 2 kbps, dapat dilihat bahwa kinerja sistem modulasi dan demodulasi BPSK yang diimplementasikan baik yang menggunakan PLL maupun tidak masih jauh dari teori. Grafik nilai BER dari implementasi yang paling bagus terdapat pada sistem modulasi dan demodulasi BPSK menggunakan PLL dengan laju bit 1 kbps. Sistem ini mampu melakukan modulasi dan demodulasi BPSK dengan rata-rata nilai BER 0.4971 dalam pengujian 10.000 bit pada SNR 14,32 dB. Namun hal ini masih jauh dari teori, karena nilai BER tersebut tinggi, hal ini dikarenakan perangkat yang tersusun tidak sinkron, baik laptop, board, maupun kabel yang terpasang.

Sedangkan performa implementasi sistem paling buruk,

yaitu nilai BER pada sistem modulasi dan demodulasi BPSK tanpa menggunakan PLL pada laju bit 2 kbps yang menghasilkan nilai BER sebesar 0.5017, dan nilai pada implementasi yang lain yang hanya berkisar pada 0.5. Hal ini dikarenakan tidak sinkronnya sinyal yang dimodulasikan dengan modulasi yang terjadi.

IV. PENUTUP

A. Kesimpulan

Dari beberapa hal yang dilakukan dalam tugas akhir ini, meliputi tahap perencanaan, simulasi, dan implementasinya, terdapat beberapa kesimpulan yang dapat diambil sebagai berikut.

1. Hasil implementasi yang paling baik terdapat pada sistem modulasi dan demodulasi BPSK menggunakan PLL dengan laju bit 1 kbps dengan rata-rata nilai BER 0.4971 dalam pengujian 10.000 bit pada SNR 14,32 dB..
2. Sedangkan hasil implementasi sistem paling buruk yaitu nilai BER pada sistem modulasi dan demodulasi BPSK tanpa menggunakan PLL pada laju bit 2 kbps dengan nilai BER sebesar 0.5017, dan nilai pada implementasi yang lain yang hanya berkisar pada 0.5 pada semua kondisi SNR.
3. Nilai BER yang dihasilkan dari sistem yang menggunakan PLL tidak lebih baik daripada nilai BER yang tidak menggunakannya. Hal ini menunjukkan bahwa penggunaan metode *clock recovery* belum cukup untuk menurunkan nilai BER, Masih dibutuhkan algoritma data recovery untuk mendapatkan BER yang lebih baik.

DAFTAR PUSTAKA

[1] Sklar, B., "Digital Communications Fundamental and Applications", Prentice Hall, United State of America, Ch. 4, (2001).  
 [2] Chassaing, R., "Digital Signal Processing and Application with the C6713 and C6416 DSK", Wiley-Interscience, United State of America, Ch. 1, (2005).